

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-163798  
 (43)Date of publication of application : 09.06.1992

(51)Int.Cl. G11C 16/06

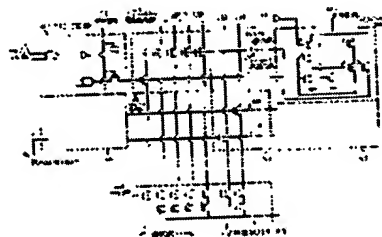
(21)Application number : 02-291567 (71)Applicant : NEC CORP  
 (22)Date of filing : 29.10.1990 (72)Inventor : KONDOU ICHIIYOSHI

## (54) SEMICONDUCTOR STORAGE INTEGRATED CIRCUIT

## (57)Abstract:

**PURPOSE:** To reduce the current load of a boosting circuit by applying voltage boosted by the boosting circuit for a fixed time only to the gates of all Y selectors selecting the control gate line of a device regardless of an output from a Y decoder circuit.

**CONSTITUTION:** A semiconductor storage device (an EEPROM), boosting circuits 402, 403, 404 generating voltage higher than supply voltage and a Y decoder circuit 101 operated by a row selective address signal conductor are provided. Voltage boosted by the boosting circuits 402, 403, 404 is applied only to the gates of all Y selectors 102 selecting the control gate line of a device regardless of an output from the Y decoder circuit 101 for a fixed time. Accordingly, voltage being boosted by the built-in boosting circuits 402, 403, 404 and higher than supply voltage is applied to the gate electrodes of all Y selectors 102 selecting the control gate line of the EEPROM for the time including the time when the EEPROM conducts read operation, thus reducing the current load of the boosting circuits 402, 403, 404.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-163798

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月9日

G 11 C 16/06

919r-5L G 11 C 17/00

3 0 9 D

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体記憶集積回路

⑯ 特 願 平2-291567

⑰ 出 願 平2(1990)10月29日

⑱ 発 明 者 近 藤 伊 知 良 東京都港区芝5丁目7番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑳ 代 理 人 弁理士 内 原 晋

明細書

発明の名称

半導体記憶集積回路

特許請求の範囲

1. 電気的にプログラム可能な半導体記憶装置と、電源電圧より高い電圧を発生させる昇圧回路と、列選択アドレス信号線によって動作するYデコード回路とを備え、前記Yデコード回路の出力とは無関係に、前記装置のコントロールゲート線を選択するすべてのYセレクトのゲートのみに、所定時間前記昇圧回路により昇圧した電圧を印加する手段を設けたことを特徴とする半導体記憶集積回路。

2. 所定時間が、半導体記憶装置に読み出し動作を行う時間を含む請求項1記載の半導体記憶集積回路。

3. 所定時間が、半導体記憶装置に書き込み又は消去動作を行う時間以外の時間である請求項1

記載の半導体記憶集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体記憶集積回路に関し、特に電気的に記憶内容を変化することが可能な半導体記憶装置(以下EEPROMと記す)に用いられるデコード回路に関する。

(従来の技術)

従来のこの種の半導体記憶集積回路は、ビットと呼ばれる記憶単位をいくつかまとめてワードという単位にして取り扱われることが多く、第2図はたとえば1ワードを4ビットで構成した場合である。第2図に示されているEEPROMは、1ビットを構成し本来の記憶を行う半導体記憶装置201と、ディジット線206と、前記半導体記憶装置201のドレインに接続されていて、ゲートに与えられるワード線205の信号により、スイッチ動作を行う半導体装置202(以下、これをビットセレクトと呼ぶ)とのトランジスタ2個

から構成される単位記憶セルを設け、さらに同一ボード内の半導体記憶装置の通常コントロールゲートと呼ばれるゲート電極204に接続され、このゲートに与えられる信号によりスイッチ動作を行う半導体装置203（以下、これをワードセレクトと呼ぶ）が1ワードに対して1個、第2図の例では1ワードは合計9個の半導体装置乃至半導体記憶装置により構成されている。

このようなEEPROMは、電源が与えられていなくても、電源が与えられているときに記憶した内容を不揮発性記憶装置として記憶内容が保持することが可能なので、近年に各種データの一時的又は、半永久的な保持のために用いられ、特にマイクロコンピュータの用途が拡大するにつれて利用されるようになってきている。また、マイクロコンピュータの低電圧動作が可能となると、EEPROMも低電圧動作可能なものが市場から要求され、また動作電圧範囲も約2Vから6Vまでと広い範囲を求められている。

従来のEEPROMは、主に電源としては5V

を用いるものが主に開発され、EEPROM自体も、5Vの電源で動作するのに都合が良いような半導体記憶装置として設計されていた。新規に低電圧動作可能なEEPROMを開発する際、大きく分けて2つの方法が考えられる。1つは、EEPROM自体から低電源電圧で動作が可能ないように新規に設計しなおす方法と、もう1つはEEPROMは従来5V電源で用いられたものを用い、デコード回路等の回路構成を新規に設計するという方法が考えられる。前者においては、新規にプロセス開発と新規に回路設計を行う必要があり、多くの時間と費用を要するが、後者においてはEEPROMの技術は確立されているので、新規に回路設計を行うことにより、前者に比べて時間と費用の点で有利である。ここでは、後者の場合の例を示す。

従来から半導体記憶素子回路においては、電源電圧から昇圧回路を設けて、回路内部の必要ところに昇圧した電源電圧よりも高い電圧を印加するという方法がある。このような方法では、半導

体記憶装置のゲート電極やあるいはデコード回路の出力に昇圧した電圧を与える。第3図に本方式を用いた場合の構成を示す。

第3図においては、Xデコード回路301とYデコード回路302の出力に、昇圧電源305の電圧を、Y、Xレベルシフト回路303、304を介して昇圧するという構成となっている。

Xデコード回路301、Yデコード回路302は、NANDゲート、インバータ、制御信号310、311の交差するところのトランジスタをそれぞれ有し、ワードセレクト313は第2図と同様な構成であり、X、Yレベルシフト回路304は、それぞれ2個のPチャネルトランジスタを有する。Yセレクト306は、データ線309と交差するところにトランジスタを有する。

これにより、コントロールゲート電圧供給線308の電圧（これを以下 $V_{co}$ 電圧という）も、充分にコントロールゲートに印加されるようになる。 $V_{co}$ 電圧は、1ボルト〜2ボルト程度の値であり、この値は、EEPROMを書き込んだ時の

しきい値と消去した時のしきい値とのほぼ中央値に相当する値がとられる。

第3図をもとに、読み出しの時の動作について説明する。制御信号310、311はHとする。Yアドレス入力線316の入力により選択されたYデコード回路302の出力312は、Yレベルシフト回路303により昇圧電源305の電圧まで充電される。これによりYセレクト315のゲートが昇圧された電圧となる。Xアドレス入力線317により選択されたXデコード回路301の出力307は、Xレベルシフト回路304により昇圧電源305の電圧まで充電される。これにより、ビットセレクト314、ワードセレクト313のゲートが昇圧された電圧となる。メモリーセルの記憶データの内容により、データ線309にその記憶データの内容が現われ、これをセンスアンプで増幅する。

本例では、Xデコード回路の出力と、Yデコード回路の出力を共に昇圧しているが、この理由は、以下の2点である。1つに、Yセレクト

315. ワードセクタ313のゲート電圧が、電源電圧の低下とともに下がり、 $V_{co} > V_{DD} - V_{TH}$  ( $V_{DD}$ : 電源電圧,  $V_{TH}$ : Yセクタ, ワードセクタのしきい値) となると、半導体装置のバックゲート効果により、 $V_{co}$ 電圧が十分にコントロールゲートに印加されなくなるということと、ビットセクタは、そのトランジスタ幅は小さく、また書き込み消去時に高電圧が印加されるので、チャネル長も短くすることはできないので、ビットセクタ314のゲート電圧の低下とともに、EEPROMのオン電流は小さくなってしまい、しまいには読み出すのに十分な電流がとれなくなるということが起こらないようにするためである。

ところが、昇圧回路の供給できる電流は、一般的に10マイクロアンペア程度であり、この値は電源電圧の低下と共に小さくなっていく。前述したように、Xデコード回路301とYデコード回路302の出力を読み出し動作の際に必ず昇圧電圧まで充電しなくてはならない。通常、Xデコー

ダ回路301の出力には、EEPROMのビットセクタ314が64個から256個程度接続され、また、Yデコード回路302の出力には、1ワード分のYセクタ306又はその2倍の数が接続されているので、これらの半導体装置のゲート容量及びXデコード回路301、Y、デコード回路302に付く寄生容量を読み出し動作の毎に充電しなくてはならない。この充電のための電荷が、どの程度で、見積る。ビットセクタ314のゲート容量チャネル長 $2\mu m$ 、チャネル幅 $5\mu m$ 、ゲート酸化膜厚 $400\text{\AA}$ とし、Yセクタ306のゲート容量チャネル長 $2\mu m$ 、チャネル幅 $40\mu m$ 、ゲート酸化膜厚 $400\text{\AA}$ とすると、次のようになる。

$$2\mu m \times 5\mu m \times 8.9 \times 10^{-4} \text{ pF} / \mu m^2 \\ = 8.9 \times 10^{-3} \text{ pF}$$

$$2\mu m \times 40\mu m \times 8.9 \times 10^{-4} \text{ pF} / \mu m^2 \\ = 7.12 \times 10^{-2} \text{ pF}$$

ワード線に128個、Yセクタ数16個として、次のようになる。

$$8.9 \times 10^{-3} \times 128 + 7.12 \times 10^{-2} \times 16 = 2.27 \text{ pF}$$

これが、ゲート容量のみの総計である。電源電圧を2Vとし、さらに4Vまで昇圧するし、1秒間に10回すなわち1マイクロ秒に1回読み出しを行うとすると、 $(4-2) \times 2.27 \times 10^{-12} \times 10^6 = 4.54\mu A$ となり、1マイクロアンペア程度の電流供給能力しかない昇圧回路にとって大きな負担になることがわかる。この値は、ゲート容量のみであり、この値にXデコード回路301、Yデコード回路302に付く寄生容量も充電すべき容量となる。ここでは、簡単のためにゲート容量のみを評価の対象とした。

Yデコード回路302の出力は、通常EEPROMの場合、1ワード分のすべてのYセクタ306を選択しているので、EEPROMのコントロールゲートを選択する第2図のワードセクタ

203だけではなく、結果として第2図では5個のすべてのYセクタのゲート電極が昇圧されることになる。

(発明が解決しようとする課題)

このような従来の低電圧読み出し動作可能なEEPROM半導体記憶集積回路は、昇圧回路によって昇圧して電源電圧より高い電圧を、Xデコード回路の出力だけでなく、Yデコード回路の出力にも用いているので、昇圧回路の電流負荷が大きくなり、この昇圧回路の電流供給能力を大きくするために面積を大きくしなければならず、また同一の昇圧回路の面積においては、低電源電圧側の動作限界を低くすることができないという問題点があった。

本発明の目的は、前記問題点を解決し、昇圧回路の電流負荷を小さくし、また低電源電圧側の動作限界を低くできるようにした半導体記憶集積回路を提供することにある。

(課題を解決するための手段)

本発明の半導体記憶集積回路の構成は、電氣的

にプログラム可能な半導体記憶装置と、電源電圧より高い電圧を発生させる昇圧回路と、列選択アドレス信号線によって動作するYデコード回路とを備え、前記Yデコード回路の出力とは無関係に、前記装置のコントロールゲート線を選択するすべてのYセレクトのゲートのみに、所定時間前記昇圧回路により昇圧した電圧を印加する手段を設けたことを特徴とする。

#### 〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の半導体記憶系積回路の回路図である。

第1図において、本実施例は、Yデコード回路101と、この出力に接続されているYセレクト回路102と、Yデコードの出力線であるデータ線選択線113、コントロールゲート線選択線114を昇圧電源105の電圧 $V_{pm}$ まで昇圧するレベルシフト回路103と、Yセレクト回路102によりデータ線109とコントロールゲート電圧供給線108と接続される選択、非選択

電圧供給線108に現われている電圧 $V_{co}$ をワード線104により選択されているすべてのメモリーセルのコントロールゲートに、 $V_{dd}-V_{tn}<V_{co}$ の場合でも $V_{dd}-V_{tn}>V_{co}$  ( $V_{dd}$ : 電源電圧、 $V_{tn}$ : Yセレクトに用いられているトランジスタのしきい値)である限り、正しく与えることが可能である。

このとき、従来技術においては、選択したメモリーセル111のコントロールゲートにのみ $V_{co}$ を与えるようにしていたが、本実施例では、1ワードに接続されている本来非選択のメモリーセル112のコントロールゲートに $V_{co}$ 電圧が印加されるようになっているので、実際に選択され読み出し動作をしているEEPROMではないのにコントロールゲートには読み出し電圧が与えられているようなことが起こるが、これによる記憶データの破壊、すなわち読み出し動作中での誤消去、誤書き込みについては、問題がないことがわかっている。

次に書き込み消去動作について説明する。読み

メモリーセル111、112を含み構成される。Yデコード回路101は、2個のNAND(ナンド)ゲート、インバータ、制御信号107の線とクロスするところの2個のトランジスタを有し、Yセレクト回路102は、コントロールゲート電圧供給線108、データ線109に接続されたトランジスタを有する。選択メモリーセル111は、第2図と同様な回路である。非選択メモリーセル112は、半導体装置のみからなる。レベルシフト回路は7個のトランジスタからなる。

次に本実施例の動作について説明する。半導体記憶装置の記憶内容を読み出す場合、読み出し制御信号106をL、制御信号107を共にHとする。このとき、データ線選択線113は、Yアドレス入力線110の値により、その出力が決められるが、コントロールゲート線選択線114は、Yアドレス入力線110の入力に無関係に常にHである。書き込み消去制御信号線106はHであるから、このときコントロールゲート線選択線は、第2電源の電位になり、コントロールゲート

出し制御信号線106はH、制御信号線はHとする。このとき、レベルシフト回路103はYアドレス入力線110により選択されたデータ線選択線113にのみ昇圧電源の電圧を選択的に与える。また、コントロールゲート線選択線114もまたYアドレス入力線110により選択されることによりレベルシフト回路103により選択的に昇圧電源の電圧が与えられる。これにより、データ線109に書き込みデータに応じて高電圧が現われ、これが、Yセレクトを通して選択されたメモリーセルのドレインに電圧が与えられ、またコントロールゲート電圧供給線108の電圧が、選択されたメモリーセルのコントロールゲート電圧にのみ与えられる。すなわち書き込み・消去動作に関しては、従来技術と同じである。

本実施例においては、Yデコード回路の出力であるコントロールゲート線選択線114を昇圧回路が読み出し動作にはいるとき1回チャージアップすれば良いので、Yアドレスの異なる番地を何度読み出しても昇圧回路の負荷は、Xデコード回

路の分だけである。

昇圧回路は、第4図に示すように、4個の昇圧用コンデンサ402の2、4個のMIS型半導体装置403、404により構成され、電流供給能力は、コンデンサの容量値と動作クロック405により、電流供給能力が従来例に比べて半分の能力で良くなれば、コンデンサの容量値で半分すなわち面積が半分になり、動作周波数でいえば、昇圧回路での消費電流が約半分になるという効果がある。

本実施例の半導体記憶系積回路の構成は、第1の電源と第1の電源とは異なる第2の電源と、電気的に記憶内容を変化することが可能な半導体記憶装置と、前記半導体記憶装置のドレインを選択する第1の半導体装置を単位記憶セルとし、前記単位記憶セル内の半導体記憶装置のゲート端子を選択する第2の半導体装置を有し、前記第1、第2の半導体装置のゲートは前記第1の電源のもとで動作するXデコード回路の出力に応じて前記第1、第2の半導体装置のゲートに第2の電源電圧

以上説明したように、本発明は、EEPROMが読み出し動作を行う時を含むような時間にEEPROMのコントロールゲート線を選択するすべてのYセクタのゲート電極に内蔵した昇圧回路により昇圧した電源電圧より高い電圧を印加するので、EEPROMの内容を読み出す動作を行っても、昇圧回路の出力によって動作するなはXデコード回路のみとなり、昇圧回路の電流負荷を小さくすることになる効果がある。

前記のように評価すると、例えばEEPROMのビットセクタのチャネル長 $2\mu\text{m}$ 、チャネル幅 $5\mu\text{m}$ 、ゲート酸化膜 $400\text{\AA}$ とし、1ワード線に128個のEEPROMが接続されているとし、1マイクロ秒に1回読み出すとすると、 $8.9 \times 10^{-3} \text{ pF} \times 128 \times 10^6 \times (4-2) = 2.27 \mu\text{A}$ となり、従来例の $4.54 \mu\text{A}$ に比べて約半分の値になっている。

また、従来用いられた電源電圧でのEEPROM技術により、従来より低電源電圧で動作可能な

を与える手段に接続され前記第1の半導体装置のドレインは、第1の電源のもとで動作するYデコード回路の出力により、ゲートが制御される第3の半導体装置のゲートとは異なる端子に接続され、また前記第2の半導体装置のドレインは前記Yデコード回路の出力と制御信号により、制御する手段によりゲートが制御される第4の半導体装置のゲートとは異なる端子に接続され、前記第4の半導体装置のゲートに前記Yデコード回路の出力と制御信号により、第2の電源電圧を印加する手段が接続され、前記第4の半導体装置のゲートに前記第2の電源電圧を半導体装置が、電気的に記憶内容を変化させている期間を除き、かつ半導体装置の記憶内容を読み出している期間を含むように与えることを特徴とし、特に前記第2の電源電圧が前記第1の電源より発生される手段を内蔵していることを特徴とし、また特に前記単位記憶セルを2個以上まとめて前記第2の半導体装置が選択していることを特徴とする。

(発明の効果)

技術を提供可能となるという効果がある。

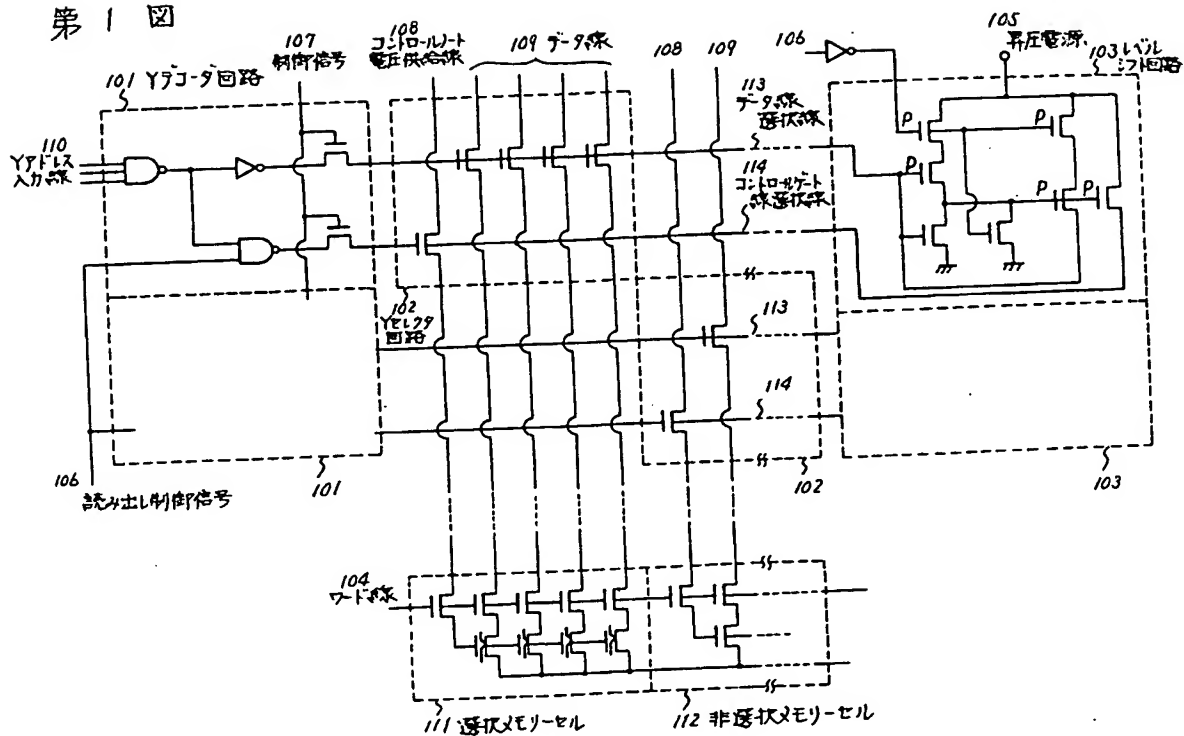
#### 図面の簡単な説明

第1図は本発明の一実施例の半導体記憶系積回路の回路図、第2図は電気的に書き込み消去可能な半導体記憶装置の1ワードの構成を示す回路図、第3図は従来技術における半導体記憶系積回路の回路図、第4図は第1図の回路に基く昇圧回路の回路図である。

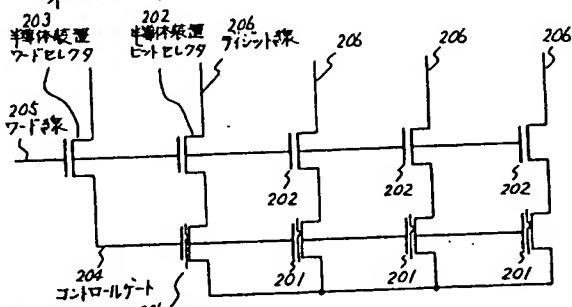
101、302…Yデコード回路、102、306…Yセクタ回路、103、303、304…レベルシフト回路、111、112…メモリーセル、202、314…ビットセクタ、203、313…ワードセクタ、402…昇圧用コンデンサ。

代理人 弁理士 内 原 晋

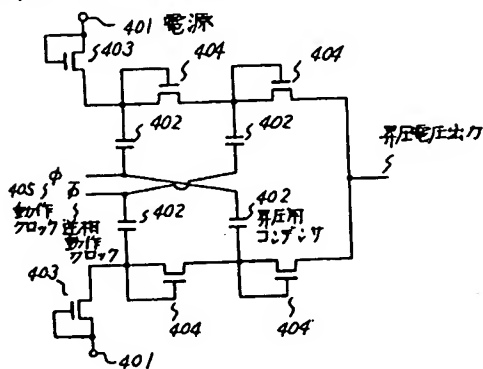
第 1 圖



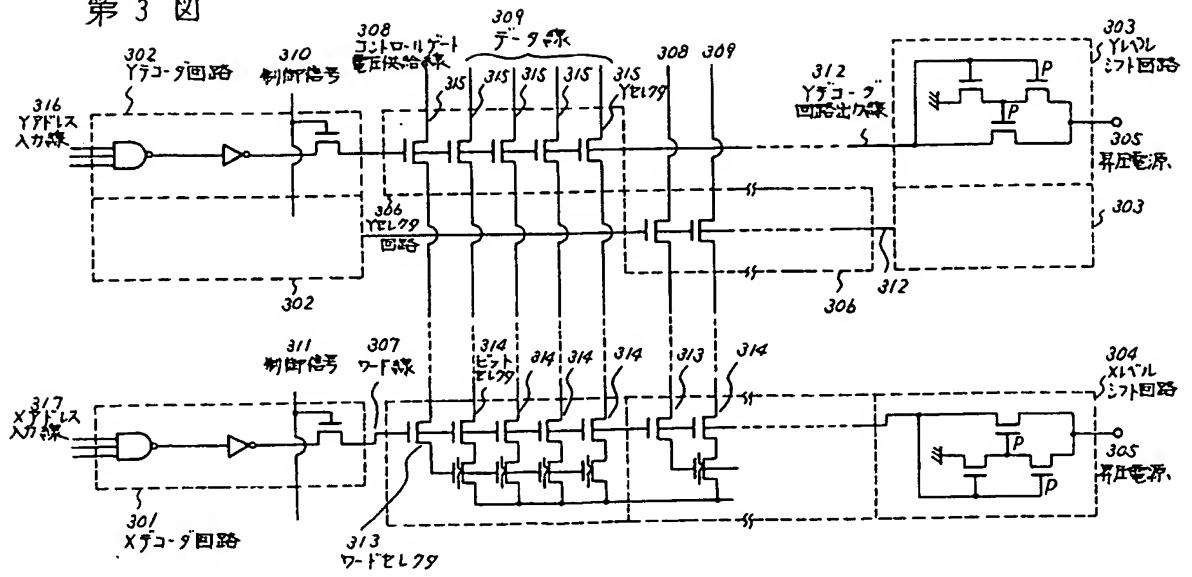
第 2 圖



第 4 圖 <sup>半導體</sup>記憶裝置



第3図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**